

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-275513

(43)Date of publication of application : 22.10.1993

(51)Int.Cl.

H01L 21/68  
B25J 15/06  
B65G 49/07  
B65H 5/14  
// B25B 11/00

(21)Application number : 04-071429

(71)Applicant : KYOCERA CORP

(22)Date of filing : 27.03.1992

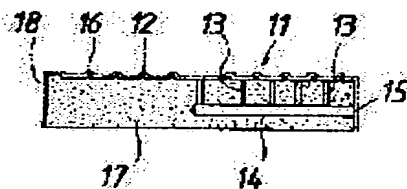
(72)Inventor : MISHIMA KAZUHIKO  
OKADA SATORU

## (54) SEMICONDUCTOR WAFER RETAINING DEVICE

## (57)Abstract:

PURPOSE: To easily treat a semiconductor wafer in a less contaminated state and, at the same time, to prevent the wafer from being electrostatically charged with electricity by forming the semiconductor wafer retaining surface of a semiconductor wafer retaining device formed of ceramics of a conductive hard thin film.

CONSTITUTION: The semiconductor wafer retaining surface of a semiconductor wafer retaining device formed of ceramics having  $105\text{-}\Omega\cdot\text{cm}$  volume resistivity is coated with a hard thin film having  $105\text{-}\Omega\cdot\text{cm}$  volume resistivity and  $\geq 2,000\text{kg/mm}^2$  Vickers hardness. When the wafer retaining surface is coated with such a hard thin film, the surface can be made smoother by filling up voids on the surface of the base material, namely, ceramics and, at the same time, since the thin film itself is conductive and is not electrostatically charged with electricity, adhesion of dust to the wafer retaining surface can be extremely reduced. In addition, since the thin film is hard having Vickers hardness of  $\geq 2,000\text{kg/mm}^2$ , the wear resistance of the wafer retaining surface can be improved.



## LEGAL STATUS

[Date of request for examination]

30.08.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2854453

[Date of registration]

20.11.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

15.06.2001

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-275513

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/68	B	8418-4M		
B 2 5 J 15/06	N	9147-3F		
B 6 5 G 49/07		9244-3F		
B 6 5 H 5/14	B	7111-3F		
H 0 1 L 21/68	P	8418-4M		

審査請求 未請求 請求項の数 2 (全 5 頁) 最終頁に続く

(21)出願番号 特願平4-71429

(22)出願日 平成4年(1992)3月27日

(71)出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72)発明者 三嶋 和彦

滋賀県蒲生郡蒲生町川合10番地の1 京セラ株式会社滋賀蒲生工場内

(72)発明者 岡田 哲

滋賀県蒲生郡蒲生町川合10番地の1 京セラ株式会社滋賀蒲生工場内

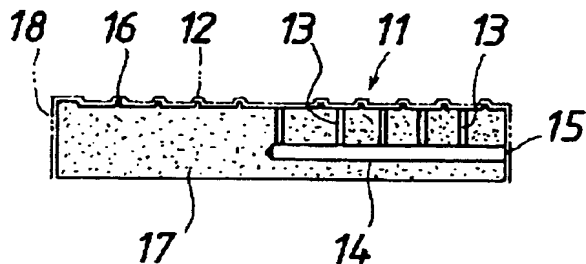
(74)代理人 弁理士 高木 義輝

(54)【発明の名称】 半導体ウェハ保持装置

(57)【要約】

【目的】 汚染が少なく加工が容易なセラミックの半導体ウェハ保持装置を提供し、また、静電気による帯電を防止できる半導体ウェハ保持装置の提供を目的とする。

【構成】 セラミックで形成した半導体ウェハ保持装置において、半導体ウェハの保持面を体積固有抵抗が $10^5 \Omega \cdot \text{cm}$ 以下の硬質薄膜で被覆した半導体ウェハ保持装置である。体積固有抵抗が $10^5 \Omega \cdot \text{cm}$ 以下の抵抗を有するセラミックを素材とした半導体ウェハ保持装置である。



## 【特許請求の範囲】

【請求項1】 セラミックで形成した半導体ウェハ保持装置において、半導体ウェハの保持面を体積固有抵抗が $10^9 \Omega \cdot \text{cm}$ 以下の硬質薄膜で被覆したことを特徴とする半導体ウェハ保持装置。

【請求項2】 体積固有抵抗が $10^9 \Omega \cdot \text{cm}$ 以下のセラミックで形成したことを特徴とする半導体ウェハ保持装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体ウェハ保持装置に関し、特に、半導体ウェハを吸着して搬送し、あるいは半導体ウェハを固定するものについてである。

## 【0002】

【従来の技術】従来より、半導体ウェハ保持装置としては、金属あるいは樹脂を使用していたが、剛性、精度、耐食性、耐熱性、クリーン度の点から問題があって、金属あるいは樹脂からセラミックの使用へ移行している。また、実開昭62-72062号公報、特開昭53-96762号公報に示すように、半導体ウェハを真空吸着して搬送する真空

ピンセットや搬送用アーム、あるいは半導体ウェハを真空吸着により固定して半導体ウェハを加工、測定する半導体ウェハ保持装置の材料としてセラミックが用いられている。

【0003】従来は半導体ウェハ保持装置の真空吸着面にアルミナ、ジルコニア、窒化ケイ素、石英といった材料を使用しており、特に、炭化ケイ素(SiC)は、半導体

ウェハに対する汚染の少ない材料として多く使用されている。

【0004】

【発明が解決しようとする課題】半導体ウェハ保持装置に用いられるセラミックは、機械加工の容易さと、材料が安価な点から、アルミナが主に使用されている。これに対し、上述の炭化ケイ素SiCは半導体ウェハを汚染しない材料であるものの、焼結後の硬度が高く、アルミナの約1.25倍の硬度があって難研削材料である。そのため、炭化ケイ素SiCを用いた複雑形状の半導体ウェハ保持装置の加工は非常に困難で、加工コストはアルミナと比較すると数倍で、炭化ケイ素SiCは材料コストもアルミナの数倍～数十倍となり、総合すると非常に高価なものになり、炭化ケイ素SiCを用いた半導体ウェハ保持装置を製品化することは困難であった。

【0005】また、半導体ウェハ保持装置にセラミックが使用されているが、半導体ウェハ保持装置内で半導体ウェハが静電気によって帯電し、その静電気がセラミックに蓄えられ、ついには、セラミックとの接触時に半導体ウェハ上の回路が静電破壊を起こしたり、静電力により半導体ウェハがセラミックに静電吸着されてしまい、行程に支障をきたしたり、さらに、静電気は半導体ウェハに好ましくないパーティクルをセラミックに吸着して

しまう。

## 【0006】

【課題を解決するための手段】そこで、第一発明は、上記の事情に鑑み、汚染が少なく加工を容易にし、かつ静電気の帯電を防止すべく、半導体ウェハ保持装置にセラミックを用い、その保持面に炭化ケイ素などの体積固有抵抗 $10^9 \Omega \cdot \text{cm}$ 以下の硬質薄膜で被覆するようにした。

【0007】また、第二発明は、静電気による帯電を防止するために導電性をもたらしすべく、体積固有抵抗が $10^9 \Omega \cdot \text{cm}$ 以下の抵抗を有するセラミックを素材とした。

## 【0008】

【作用】第一発明は、セラミックで形成した半導体ウェハ保持装置の半導体ウェハの保持面を炭化ケイ素などの導電性をもった硬質薄膜で形成したので、所要の硬度が得られ、その上、加工も可能となり、静電気による帯電を防止して表面にゴミの付着も少なくなる。

【0009】第二発明は、体積固有抵抗を $10^9 \Omega \cdot \text{cm}$ 以下の抵抗に設定し、導電性を持たせて静電気による帯電を防止する。

## 【0010】

【実施例】第一発明を添付する図面の具体的な実施例に基づいて、以下詳細に説明する。図1および図2に示す半導体ウェハ搬送アーム1は、概略帯板状で、図の左側が半導体ウェハの吸着面2で、吸着面2に開口した吸着開口3から導出孔4を経て裏面側に流出開口5が設けられている。

【0011】また、図3および図4に示す真空チャック11は、概略円盤状で、図3の上面が吸着面12で、吸着面12に開口した吸着開口13は中心から外周面に流出開口15を有する導出孔14にそれぞれ連通させる。吸着面12は半導体ウェハを十分に吸着できるように、吸着面12に円環状リップ16を膨出させてある。ここで、半導体ウェハ搬送アーム1および真空チャック11の真空保持装置は、 $\text{Al}_2\text{O}_3$ 純度99%および99.5%のアルミナセラミックで形成する。図中7・17はアルミナセラミックである。そのアルミナセラミック7・17の表面には硬質薄膜としてCVD法で純度99%以上の炭化ケイ素(SiC)の薄膜8・18を形成した。

【0012】本実施例においては、炭化ケイ素SiCの薄膜8・18の膜厚を2～3 $\mu\text{m}$ とした。比較用として、炭化ケイ素SiCのコーティングなしの99%および99.5%のアルミナセラミックの真空保持装置、ステンレス鋼SUS製の真空保持装置、炭化ケイ素セラミックの真空保持装置、石英の真空保持装置を用い、アルミナセラミックに炭化ケイ素の薄膜8・18を形成した本発明の真空保持装置と共に、半導体ウェハに対するパーティクル検査、すなわち、ゴミの付着数の測定を行った。

【0013】実験は、クリーンルーム内とし、半導体ウェハを載置した半導体ウェハ搬送アーム1あるいは真空チャック11から空気を吸引して半導体ウェハを10秒間吸

着後、空気の吸引を止めて半導体ウェハを5秒間脱着し、そのサイクルを10回繰り返し、その後、ゴミ検査機(パーティクル検出機)にてゴミの付着数を測定した。付着数の基準値を石英へのゴミの付着数とし、その石英を◎とし、○を石英の1.2倍、△を1.5倍、×を2倍以

\*上の付着数とした。それによると、次のような結果となり、炭化ケイ素(SiC)の薄膜8・18を形成した本発明実施例は、ゴミの付着数が極めて少なかった。

【0014】

【表1】

条 件	結 果
99.0% $Al_2O_3$	△
99.5% $Al_2O_3$	○
99.0% $Al_2O_3$ + SiC・CVD	◎
99.5% $Al_2O_3$ + SiC・CVD	◎
SUS 303	×
SiC	◎
石英	◎

【0015】なお、硬質薄膜として、炭化ケイ素(SiC) 20  
その他、炭化チタン(TiC)、窒化チタン(TiN)を用いることができ、その物性は次のとおりである。

	体積固有抵抗	ピッカース硬度
SiC	$10^3 \sim 10^4 \Omega \cdot cm$	2400kg/mm <sup>2</sup>
TiC	$6 \times 10^{-5} \Omega \cdot cm$	3170kg/mm <sup>2</sup>
TiN	$4 \times 10^{-5} \Omega \cdot cm$	2050kg/mm <sup>2</sup>

このように、本発明における硬質薄膜とは体積固有抵抗  $10^4 \Omega \cdot cm$ 以下で、ピッカース硬度2000kg/mm<sup>2</sup>以上のものを用いる。この硬質薄膜を被覆することにより、母材であるセラミックス表面のポイドを埋めて滑らかな面とすることができ、かつ硬質薄膜自体が導電性を有し静電気の帯電がないためゴミの付着を極めて少なくできる。しかも、硬質薄膜はピッカース硬度2000kg/mm<sup>2</sup>以上と高硬度であり耐磨耗性を高くできる。

【0016】また、この硬質薄膜は、PVD法、CVD法などにより母材上に被覆し、その薄膜は0.1~50μmとする。また、母材としてアルミナセラミックの他、ジルコニア、炭化ケイ素、窒化ケイ素などさまざまなセラミックを用いることができる。次に、第二発明について述べる。体積固有抵抗が  $10^4 \Omega \cdot cm$ 以下のセラミックは、導電性を有し静電気を帯電しない。それには、次のようなものがある。

【0017】(1)炭化ケイ素を主成分とするもの。すなわち、炭化ケイ素(SiC)を主成分とし、ホウ素(B)、炭素(C)を助剤として固相焼結したもので、体積固有抵抗は  $10^4 \Omega \cdot cm$ である。また、炭化ケイ素(SiC)を主成分とし、 $Al_2O_3$ ・ $Y_2O_3$ を助剤として液相焼結したものは、体積固有抵抗は  $8 \times 10^4 \Omega \cdot cm$ で、ピッカース硬度2400kg/mm<sup>2</sup>である。

【0018】このようにして高硬度で導電性を高められ 50

る。

(2)アルミニウム化合物0.1~10重量%、IIa族元素とIIa族元素の化合物の1種以上が0.1~10重量%、炭化チタン(TiC)、窒化チタン(TiN)などの導電性付与剤が0.1~10重量%、残りが炭化ケイ素(SiC)からなる導電性炭化ケイ素焼結体を素材として、半導体ウェハの検査用装置の真空チャックを作成した。但し、炭化ケイ素焼結体は半導体ウェハに悪影響をおよぼす重金属を含まないか、あるいはごく微量の重金属しか含まれないようにする。

【0019】真空チャックはセラミック製であるので、その平面度は1μm以上の加工が可能であり、また耐磨耗性があるため繰り返し使用されても高精度に平面度を維持できる。この体積固有抵抗は  $10 \sim 10^4 \Omega \cdot cm$ である。

(3)アルミナ( $Al_2O_3$ )20~80重量%、炭化チタン(TiC)80~20重量%のアルティックを用いる。例えば、純度90%以上で平均粒径10μm以下のアルミナ粉末を65重量%、酸化チタンを含む平均粒径10μm以下の炭化チタンTiC粉末を28重量%、その他の成分7重量%を混合し、高純度アルミナボール、高純度ジルコニアボール、高純度炭化ケイ素SiCボールなどを使用して粒度は10μm以下、平均粒子径1μm以下に粉碎し混合し原料混合物を得た。

【0020】この原料混合物を焼成し、HIP処理を施し、板状のアルティックを得た。このアルティックの板材に、図5に示すように、裏面から穴23、穴25、導出溝24を設け、裏面にSUS板29を張設して半導体ウェハ搬送用治具21を作成した。この場合、体積固有抵抗は  $2 \times 10^{-1} \Omega \cdot cm$ で、ピッカース硬度は1900kg/mm<sup>2</sup>である。

【0021】図6に示す半導体ウェハ搬送用治具31は、

本体部分40をアルミナなどで作成し、半導体ウェハとの接触部41のみにアルティックを付する構造とした。アルティックはアルミナなどに接着し、本体部分に内蔵したアース線（図示せず）に接続する。本体部分40は金属で構成させてもよいが、比剛性の点からセラミックが好ましい。

【0022】体積固有抵抗は $2 \times 10^{-2} \Omega \cdot \text{cm}$ で、ピッカース硬度1900kg/mm<sup>2</sup>である。

#### (4) サーマット

4a、5a族元素の炭化物、窒化物、炭窒化物(TiC、TiN、NbC、TiCN)50重量%以上と鉄族金属(Fe、Ni、Co)からなる焼結体であって、体積固有抵抗は $10^{-4} \Omega \cdot \text{cm}$ で、ピッカース硬度は1650kg/mm<sup>2</sup>である。

#### 【0023】

【発明の効果】第一発明は、上述のように、セラミックで形成した半導体ウェハ保持装置において、半導体ウェハの保持面を炭化ケイ素などの体積固有抵抗 $10^5 \Omega \cdot \text{cm}$ 以下の硬質薄膜で被覆した半導体ウェハ保持装置である。アルミナセラミック製の半導体ウェハ保持装置と比較すると、第一発明の半導体ウェハ保持装置は、パーティクルの数は減少し、また、炭化ケイ素単体の半導体ウェハ保持装置と同じレベルであった。

【0024】第一発明の半導体ウェハ保持装置は、炭化ケイ素単体の半導体ウェハ保持装置と比較して母材がアルミナであるため、焼結後の加工も容易で、複雑形状加工も可能であり、製作が安価となった。第一発明の半導体ウェハ保持装置は、導電性を有する硬質薄膜を被覆しているため、半導体ウェハ搬送などで発生する静電気のチャージアップの問題も同時に解決された。

【0025】よって、第一発明によって半導体ウェハを搬送および固定する半導体ウェハ保持装置として優れた特性の製品が提供できる。第二発明は、上述のように、体積固有抵抗が $10^5 \Omega \cdot \text{cm}$ 以下の抵抗を有するセラミックを素材としたので、従来のアルミナなどの導電性を有\*

\*しないセラミックチャックの場合、検査の前行程の状況によっては100枚程度の半導体ウェハを検査しただけで半導体ウェハの静電吸着が起り、行程がストップしてしまうが、導電性セラミック製真空チャックを使うことにより、静電気がチャックに蓄えられることがないため、静電吸着されることがなく行程が止まることがない。

【0026】また、従来、スピンドライなど半導体ウェハに静電気が溜まりやすい行程の後の半導体ウェハは、しばしば半導体ウェハ上の回路が静電破壊されることがあったため、その防止が必要であったが、第二発明によりその必要がなくなった。さらに、露光行程のように、パーティクルを好まない行程では、特に半導体ウェハ裏面のパーティクルは避けねばならないが、従来の半導体ウェハ保持装置では静電気により保持装置上にパーティクルを吸着してしまうことがあったが、第二発明ではそれがなくなり、パーティクルの減少に役立つ。

#### 【図面の簡単な説明】

【図1】第一発明の半導体ウェハ搬送アームの平面図である。

【図2】図1の縦断面図である。

【図3】第一発明の真空チャックの平面図である。

【図4】図3の縦断面図である。

【図5】第二発明の半導体ウェハ保持装置の斜視図である。

【図6】第二発明の他の例の半導体ウェハ保持装置の斜視図である。

#### 【符号の説明】

1…搬送アーム

11…真空チャック

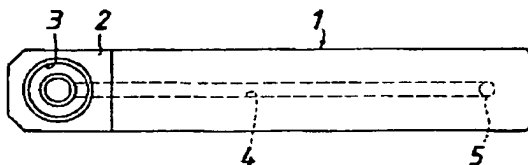
21…半導体ウェハ搬送用治具

31…半導体ウェハ搬送用治具

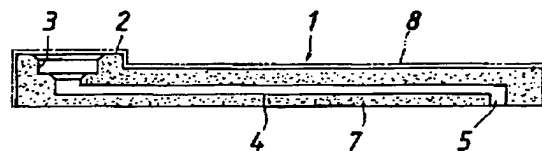
7・17…アルミナ

8・18…炭化ケイ素SiCの薄膜

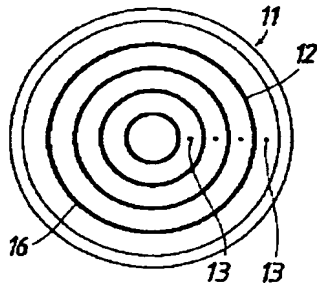
【図1】



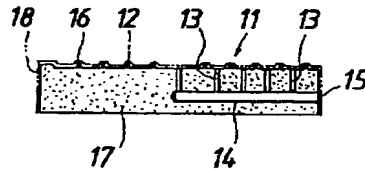
【図2】



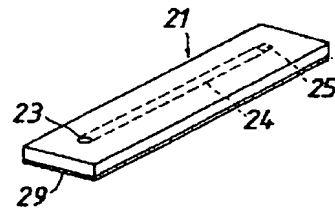
【図3】



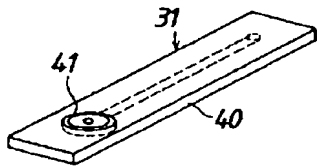
【図4】



【図5】



【図6】



## 【手続補正書】

【提出日】平成5年3月22日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

## 【補正内容】

【0016】また、この硬質薄膜は、PVD法によるイオンプレーティング法（蒸着）法やスパッタ法、あるいは熱、プラズマ、または光によるCVD法などにより母材上に被覆し、その薄膜は0.1～50μmとする。また、母材としてアルミナセラミックの他、ジルコニア、炭化ケイ素、窒化ケイ素などさまざまなセラックを用いることができる。例えば、母材として炭化ケイ素を使用して、800℃以上の高温下で熱CVD法により炭化ケイ素を母材上に被覆することができる。実際に熱CVD法により薄膜を \*

\*形成すると、結晶配向性はβ-SiC(111)となり、50μm程度またはそれ以上の膜厚が可能であり、母材表面のボイドを完全に埋めることができた。また、形成後の薄膜は、母材と同一材質であるために密着強度が非常に強く高温時でも剥がれることがなく、緻密であり、しかもSiC含有量が99.9%さらには99.9999%以上の高純度であり、表面を研磨加工した後は平面度が0.3μm以下、ボイド率が0となることがわかった。なお、母材も炭化ケイ素であるために導電性が非常に良くなり、電気抵抗が10<sup>4</sup>Ω・cm以下となる。また、熱伝導率も0.04/℃と高く、半導体ウェハ上での発熱に対して熱を逃がすことができる。次に、第二発明について述べる。体積固有抵抗が10<sup>4</sup>Ω・cm以下のセラミックは、導電性を有し静電気を帯電しない。それには、次のようなものがある。

フロントページの続き

(51)Int.Cl.<sup>1</sup>

// B25B 11/00

識別記号

庁内整理番号

F I

技術表示箇所

Z

**THIS PAGE BLANK (USPTO)**